# ATLYS ボード操作マニュアル (VHDL)

TOKYO ELECTRON DEVICE

本操作マニュアルは、ATLYS ボードと一緒に Digilent 社オプションモジュールである 「VmodCAM - Stereo Camera Module」のリファレンスデザインをそのまま流用した操作 手順のご紹介になります。リファレンスデザインは他にも WEB に掲載ございますので、活用頂 き、本操作は一例としてご参照下さい。

> リファレンスデザイン内の ISE プロジェクトを立ち上げ、完成済みのソースファイル、テストベンチファ イル、制約ファイル(UCF ファイル)を読み込み、ファンクションシミュレーション、論理合成、配置配 線、コンフィグレーションファイルの作成、デバイスへの書き込み、ボード上での動作確認を行いま す。下記のフローに従って下さい。



#### 1) Project Navigator の起動

- 「VmodCAM Stereo Camera Module」のリファレンスデザインを任意のローカルフォルダに格納し、ISE プロジェクトを立ち 上げます。リファレンスデザインは、以下の WEB サイトよりダウンロード可能です。 URL:<u>http://www.digilentinc.com/Products/Detail.cfm?NavPath=2,648,931&Prod=VMOD-CAM</u> (Doc# DSD\_0000309)
- Windows のスタートメニューから、[スタート] [プログラム] [Xilinx ISE Design Suite 13.4] [ISE デザインツール] -[Project Navigator] を選択します。もしくは、デスクトップ上のショートカットから起動します。





### 2)既存プロジェクトの格納と立ち上げ

1. [File] - [Open Project] を選択します。

もしくは、画面上の [Open Project] のボタンをクリックします。

E	File Edit View Project S	File Edit View Project Source Process Tools
1	New Project	🗋 🍺 🖥 🖓 🐇 🗟 🖻 🗙 너 ભା 🔺 🔎
De	Open Project	Start ↔ 🗆 🗗 🗙
E	Open Example	Welcome to the ISE® Design Suite
6	Project Browser	Project commands
8	Copy Project	Open Project Project Browser
001	Close Project	New Noiect One Example

例:C:¥MyDocs¥VmodCAM\_Ref\_VGA Demo\_13¥source¥VmodCAM\_Ref\_VGA\_Split にある.xise が ISE のプロジェクトファイルになります。この.xise ファイルを選択します。

この.xise ファイルが、既存の ISE Project file です。

					<b>X</b>
G → J « source i	VmodCAM_Ref_VGA_Split		VmodCAM_Ref_VGA	_Splitの検索	Q
整理▼ ■聞く ;	共有 ▼ 電子メールで送信する 新しい	<b>ヽ</b> フォルダー		= • 🗖	0
☆ お気に入り ●	ドキュメント ライブラリ VmodCAM_Ref_VGA_Split		並べ替え:	フォルダー 🔻	
🔜 デスクトップ	名前	更新日時	種類	サイズ	^
💹 最近表示した場所	VmodCAM_Ref_map.ngm	2012/07/18 12:44	NGM ファイル	2,428 KB	
	VmodCAM_Ref_map.xrpt	2012/07/18 12:46	XRPT ファイル	63 KB	
╞╡ ライブラリ	VmodCAM_Ref_ngdbuild.xrpt	2012/07/18 12:44	XRPT ファイル	14 KB	
📑 ドキュメント	WmodCAM_Ref_pad.csv	2012/07/18 12:47	Microsoft Excel	17 KB	
■ ピクチャ	VmodCAM_Ref_pad.txt	2012/07/18 12:47	テキスト ドキュ	67 KB	
■ ビデオ	VmodCAM_Ref_par.xrpt	2012/07/18 12:47	XRPT ファイル	202 KB	
	VmodCAM_Ref_summary.html	2012/07/18 13:49	Chrome HTML	23 KB	
	VmodCAM_Ref_summary.xml	2012/07/18 12:55	XML ドキュメント	1 KB	
	VmodCAM_Ref_usage.xml	2012/07/18 12:55	XML ドキュメント	164 KB	
🌉 コンピューター	VmodCAM_Ref_VGA_Split.gise	2012/07/18 14:06	GISE ファイル	14 KB	
🚨 ローカル ディス	WmodCAM_Ref_VGA_Split.xise	2012/07/18 14:06	Xilinx ISE Project	42 KB	
⋥ share (¥¥jam) I	VmodCAM_Ref_xst.xrpt	2012/05/29 9:17	XRPT ファイル	20 KB	
🚎 capa (¥¥head)	webtalk.log	2012/07/18 13:19	テキスト ドキュ	1 KB	E
	📄 webtalk_impact.xml	2012/07/18 13:19	XML ドキュメント	2 KB	
💼 xw kg_b	🖹 webtalk_pn.xml	2012/07/18 12:46	XML ドキュメント	4 KB	+

11	ISE Project Navigator (0.87xd) - C:¥Users¥006523¥Docur	ment	s¥MyDocs¥VmodCAM_Ref_VGA Demo_13¥s	ource¥VmodCAM_R	ef_VGA_Split¥VmodCAM_Re	f_VGA_Split.xise	- [Design S	ummary]	0	83
Σ	File Edit View Project Source Process Tools	Wind	iow Layout Help						- 8	×
Ľ	(头。 120 X 10 G X 10 11 11 11 11 11 11 11 11 11 11 11 11	= £	0 Ø / B / R B B B P / /	? > 2 4	2					
Des	sign ↔□♂×	05	Design Overview		VmodCAM	Ref Project S	atus			
I	View 💿 🙀 Implementation 🔿 🧱 Simulation	-	- 📄 Summary	Project File:	VmodCAM Ref VGA Splitxise	Parser Errors:		No Errors		
	Hierarchy	0	IOB Properties	Module Name:	VmodCAM_Ref	Implementatio	State:	Programming F	ile Generated	•
的	- 🗑 VmodCAM_Ref_VGA_Split	0	Module Level Utilization	Target Device:	xc6slx45-3csg324	• Errors:		No Errors		TH .
	😑 🛄 xc6slx45-3csg324	<b>C</b> 5	Pinout Report	Product Version:	ISE 13.4	• Warning	8:	338 Warnings (	338 new)	
00	WmodCAM_Ref - Behavioral (VmodCAM_		Clock Report	Design Goal:	Balanced	Routing	Results:	All Signals Cor	npletely Routed	P
6	E SysCon - SysCon - Behavioral (Sy	細	Static Timing	Design Strategy:	Xilinx Default + Multithreadine	• Timine	Constraints:	All Constraints	Met	
	SYNC_SW - InputSyncv - Behaviora	-	Errors and Warnings	Environment:	System Settings	• Final Ti	ning Score:	0 (Timing Rep	ort)	1
	- V Inst dom fixed - dom fixed (dom f	(*)	Parser Messages	-						
	V Inst_dcm_recfg - dcm_recfg (dcm_		Synthesis Messages		Device Utiliza	ation Summary			[-]	
	🖨 🔂 MODE_SYNC - InputSyncV - Behavi +		Indisiduon Messages     Man Messages	Slice Logic Utiliz	ation	Us	d Availabl	e Utilization	Note(s)	
	4 <u>m</u>		Place and Route Messages	Number of Slice Rep	gisters		10 54,57	6 1%		
⊳	No Processes Running		Timing Messages	Number used as	Flip Flops		10			
-	Processes: VmodCAM Ref - Behavioral		Bitgen Messages	Number used as	Latches		0			1
+++	Processes. Viriouching Nei * Benavioral		All Implementation Messa 💂	Number used as	Latch-thrus		0			
2044	Design Summary/Reports     Design Utilities		Design Properties	Number used as	AND/OR logics		0			
20	Ser Constraints		Enable Message Filtering	Number of Slice LU	Ts	1,4	54 27,28	8 5%		
	Synthesize - XST		Optional Design Summary Contents	Number used as	logic	1,3	81 27,28	8 5%		
	🐵 🛟 🚠 Implement Design		- Show Clock Report	Number using	O6 output only	1	98			
	Cenerate Programming File		- Show Failing Constraints	Number using	O5 output only		92			
	Configure Target Device		- Show Warnings	Number using	O5 and O6		91			
	Generate Target PROM/ACE File		Show Errors	Number used	as ROM		0			
	Analyzo Docian Ucina ChinScono			Number used as	Memory		42 6,40	8 1%		
11	Start 🔩 Design 🚺 Files 🚺 Libraries		ISE Design Suite 情報センター	x x	Design Summary					
Cor	isole								++ 🗆 é	5 ×
444	WARNING: ProjectMgmt - File C:/Users/006523/ WARNING: ProjectMgmt - File C:/Users/006523/ WARNING: ProjectMgmt - File C:/Users/006523/	/Doc /Doc /Doc	ruments/MyDocs/VmodCAM_Ref_VGA De ruments/MyDocs/VmodCAM_Ref_VGA De ruments/MyDocs/VmodCAM_Ref_VGA De	mo_13/source/Vn mo_13/source/Vn mo_13/source/Vn	nodCAM_Ref_VGA_Split/ nodCAM_Ref_VGA_Split/ nodCAM_Ref_VGA_Split/	<pre>'ipcore_dir/ 'ipcore_dir/ 'ipcore_dir/</pre>	cm_recfg cm_recfg cm_recfg	/example_de /dcm_recfg. /example_de	sign/dcm_r ucf is mis sign/dcm_r	e s e +
11	Console 🖾 Errors 🔝 Warnings 祸 Find in Files Res	sults								

#### 3)論理合成の実行

1. まずは論理合成を実行します。

Implementation ボタンにチェックが入っていることを確認して下さい。トップモジュールを指定してから、 プロセスウィンドウの [Synthesize-XST]をダブルクリックすると論理合成が開始されます。



▲ワーニングや <sup>3</sup>エラー詳細は、GUI 下部のコンソール(Console)ウィンドウに表示されます。

#### 4) 配置配線の実行

 ピン固定ファイルを読み込んだ後(今回は既に読み込み済み)、プロセスウィンドウの[Implement Design]を ダブルクリックし、配置配線を実行します。

🔺 や 🧭 が表示されたら、配置配線の完了です。 🖺が表示された場合必要に応じて修正して下さい。

エラーがある場合、 3% が表示されますのでメッセージに従って修正して下さい。



#### 5) プログラムファイルの生成(FPGAにデータを直接書き込む場合)

1. 配置配線が終了したら、プロセスウィンドウの[Generate Programming File] を選択し、マウスの右クリックで表示 されるメニューから[Properties]を選択します。

C Processes: VmodCAM_Ref - Behavioral	*
User Constraints User Constraints User Constraints Synthesize - XST CAN Implement Design CAN Translate CAN Map CAN Place & Route	E
Generate Programming File Configure Targe Generate Ta Generate Ta ReRun Start ■C Design Conf Rerun All Stop	-
WARNING:ProjectMgmt View Text Report WARNING:ProjectMgmt Force Process Up-to-Date	ument ument ument
Implement Top Module Design Goals & Strategies.	

2. Process Properties ウィンドウが表示されます。

そこでカテゴリー(Category)の[Startup options]を選び、[FPGA Start-Up Clock]の項目を[JTAG Clock]にプルダウンから 変更し、[OK]をクリックします。

	Switch Name	Property Name	Value	
- General Options	-g StartUpClk:	FPGA Start-Up Clock	JTAG Clock	_
Startup Options	-g DonePipe:	Enable Internal Done Pipe		
Readback Options	-g DONE_cycle:	Done (Output Events)	Default (4)	
	-g GTS_cycle:	Enable Outputs (Output Events)	Default (5)	
	-g GWE_cycle:	Release Write Enable (Output Events)	Default (6)	
	-g LCK_cycle:	Wait for DLL Lock (Output Events)	Default (NoWait)	
	-g Match_cycle:	Wait for DCI Match (Output Events)	Auto	
	-g DriveDone:	Drive Done Pin High		

3. プロパティの設定後、プロセスウィンドウの[Generate Programming File]をダブルクリックします。 プログラムファイル作成が実行されます。



4. コンソールウインドウに「Processes "Generate Programming File" complete successfully」というメッセージが出ると、プ ログラムファイル(bit ファイル)がプロジェクト内に自動作成されます。

#### 6)デバイスへの書き込み(FPGAにデータを直接書き込む場合)

ボード上の SPI-Flash にデータを書き込んで FPGA を動作させる場合は、12ページからを参照して下さい。 デバイスに書き込みを行なう前に、USB ケーブルを接続して、本体機器の電源を入れて下さい。

1. プロセスウィンドウの[Configure Target Device]を展開し、[Manage Configuration Project(iMPACT)] をダブルクリックす るとダウンロードツールの iMPACT が起動します。

Processes: VmodCAM_Ref - Behavioral	
🖨 🍋 Implement Design	
🗄 🔁 🚺 Translate	
🕀 🔁 🚹 Map	1
🗄 🔁 🚹 Place & Route	
- 🔁 🚹 Generate Programming File	
🖨 🎲 Configure Target Device	\$7,107
Generate Target PROM/ACE File	
- Manage Configuration Project (iMPACT)	
Analyze Design Using ChipScope	

2. iMPACT 起動後に、[iMPACT Flows]内の[Boundary Scan]をダブルクリックします。

MPACT Flows	₩7997 + □ & X				
MPACT Flows	+ 🗆 🗗 ×				
Boundary Scan     SystemACE     SystemACE					
E Create PKU	Launch Mode.	o 24 - 19	ut occupiant the		
WebTalk Da Targeting a BPI	I/SPI device ind	irectly also s	start from I	nere.	
MPACT Processo					

3. 次に[Initialize Chain]を実行し、JTAG チェーン上のデバイス(PROM と FPGA)を認識させます。 デバイスは自動で認識されます。

Þ	File	Edit	View	Operations	Output	Debug	Window	Help
1		lew Pro	oject		Ctrl+	N		
M	e 👌	pen Pr	oject		Ctrl+	0		
	C	pen Co	onfigura	tion Archive	Ctrl+	н		
	83 I	nitialize	e Chain		Ctrl+	I		
±		ave Pr	oiect		Ctrl+	s		

4. [YES]を押してから、コンフィグレーションファイルの選択を開始します。

Boundary Scan]		
🚱 File Edit View Operations Outpu	t Debug Window Help	
	₽ K?	
iMPACT Flows ↔ □ ♂ ×	Right click device to select operations	
Boundary Scan SystemACE Create PROM File (PROM File For WebTalk Data	TDI xc6skx45 bypass TDO	
iMPACT Processes ↔ □	Yes No	
Available Operations are:	Identify Succeeded	
	Boundary Scan	

FPGA が選択されておりますので、7ページで生成した vmodcam\_ref.bit ファイルを指定して、[Open]ボタンを押します。

BISE IMPACT (0.87xd) - [Boundary Scan]	
👺 File Edit View Operations Outpu	t Debug Window Help
<b>□ ≥ ⊟</b>   X 🖻 🖺 🗙 🗄 🔛 🔛	BD PR
iMPACT Flows ↔ □ ₽ ×	
Boundary Scan     SystemACE     Create PROM File (PROM File For…     B VebTalk Data	TDI
MP 🛞 Assign New Configuration File	? ×
Ava	uments¥My…source¥VmodCAM_Ref_VGA_Split 💌 🔾 🕥 🕥 📑 📰 🔳
My Computer My Co	urces 0 xdb
Vi     xst       Vi     vmodcam       Vi     vmodcam	ref.bit
Di Indiana Ind	Cancel

以下の画面は自動で出ますが、今回は PROM は現時点では追加しないため、NO ボタンを押します。



プロパティの設定画面は、OKボタンを押します。次の画面も[OK]ボタンを押します。

Boundary-Scan	Describe Manage Malas
- Device 1 ( FPGA xc6slx45 )	Verify

#### 5. デバイスのダウンロードの実行

デバイスの絵の部分をクリックし、グレーからグリーンに変わると、デバイスへのダウンロードが可能となります。



 ダウンロードが開始され下図のように、Programming Succeeded のメッセージが表示されたらダウンロード完了ですが、 Programming Failed の場合はエラーの為、エラーメッセージを確認し、再実行します。



#### 6-1) デバイスへの書き込み(SPI-Flashにデータを書き込む場合)

SPI-Flash データを書き込む場合は、ISE ツールではなく Digilent 社専用の書込みツール[Adept]を使用します。 Adept ツールは、以下の WEB サイトよりダウンロード可能です。

URL: http://www.digilentinc.com/Products/Detail.cfm?NavPath=2,66,828&Prod=ADEPT2

Adept ツールを使用するのは、ボード上の SPI-Flash のデバイス特有の ID が ISE の iMPACT で読み込め ないからです。

デバイスに書き込みを行なう前に、USBケーブルを接続して、本体機器の電源を入れて下さい。

1. Windows のスタートメニューから、[スタート] - [プログラム] - [Digilent] - [Adept] を選択します。

🛕 Digilent Adept		
	Connect: No Devices Connected Product:	•
Settings		
Application Settings          Image: Auto Initialize SC         Image: Hide Status Window         Image: Slow Programming Speed         Clear Status Window         Clear File History         Device Manager		
===== Digilent Adept ===== Adept System Rev 2.6 Adept Runtime Rev 2.9 Adept Application Rev 2.4.2 Copyright c 2010		
1		Ŧ

【One-Point】 上記の画面は初めて Adept を立ち上げた場合の画面です。 ボードを接続すると自動的に認識しますが、接続しない状態ですと上記のように Connect に 「No Device Connected」と表示されます。 2. ATLYS ボードを接続します。

Adept ツールは、ATLYS ボードを自動認識し、ATLYS 上の FPGA(XC6SLX45)を表示します。

Connect: Atlys   Product: Atlys
egister I/O File I/O I/O Ex Settings
Browse Program
alize Chain
THE T
Ē

Flash タブをクリックし、FPGA programing fileのBrows...ボタンをクリックし、7ページ生成したbitファイルを選択します。 Verifyのチェックボックスをチェックし、Program ボタンをクリックするとコンフィグレーションが完了します。

Digilent Adept			
ATLYS	Connect: Atlys	<b></b>	
	Product: Atlys		<b>n</b>
Colfig Flash Test Power	Register I/O File I/O I/O I	Ex Settings	
FPGA programming file			
C:¥Users¥006523¥Documents¥MyDocs¥Vn	odCAM_Ref_VG Browse Pro	gram Erase	
This will program the onboard SPI Flash. Make sure that the programming file has St	art-Up Clock set	erify Config reset	
Read Flash content to File			
		tead	
Write 711w/71.	Rit <b>ファイル選択</b>		
	UTC 77 170 2237 V6	Vrite	
Start address: 0	□ v	erify Cancel	
Loading board information			
Initializing Scan Chain Board information loaded.			
Found device ID: 34008093 Initialization Complete.			
Device 1: XC6SLX45			

本ページからは、リファレンスデザインを使用せずに新規にプロジェクトを作成するなど、他の

ISE ツールの操作手順のご紹介になります。

### ◆ 新規プロジェクトの作成

#### まず、Project Navigator を起動します。(3ページ参照)

1. [File] - [New Project] を選択します。

もしくは、画面上の [New Project] のボタンをクリックします。

Σ	File Edit View Project S	File Edit View Project Source Process Tools
	New Project	<u> א א א א א א א א א א א א א א א א א א א</u>
De	Open Project	Start ↔ 🗆 🗗 🗙
	Open Example	Welcome to the ISE® Design Suite Project commands
S SI	Copy Project	Open Project Project Browser
0	Close Project	

2. Name / Location / Working Directory / Top-level source type を設定し[Next]をクリックします。

Name : **[任意に指定]** 

Location / Working Directory : [任意に指定]

Top-level source type : [HDL]

5 - 35 - 55 W		
reate New Proj	ect	
pecify project locati	on and type.	
Enter a name, locat	ions, and comment for the project	
Name:		
Location:	C:¥MyDocs¥ATLYS¥source	
Working Directory:	C:¥MyDocs¥ATLYS¥source	
Description:		
Select the type of t	top-level source for the project	
Top-level source t	ype:	
HDL		



#### 3. ターゲットデバイスの情報とデザインフロー等を設定します。

Family	Spartan6
Device	XC6SLX45
Package	CSG324
Speed	-3
Top-Level Module Type	HDL
Synthesis Tool	XST( VHDL/Verilog)
Simulator	ISim(VHDL/Verilog)
Preferred Language	VHDL

Project Settings	
Property Name	Value
Top-Level Source Type	HDL
Evaluation Development Board	None Specified
Product Category	All
Family	Spartan6
Device	XC6SLX45
Package	CSG324
Speed	-3
Synthesis Tool	XST (VHDL/Verilog)
Simulator	ISim (VHDL/Verilog)
Preterred Language	VHDL
Property Specification in Project File	Store all values
Manual Compile Order	
VHDL Source Analysis Standard	VHDL-93
Enable Message Filtering	

4. 設定後、順次[Next]ボタンをクリックし画面を先へ進め、最終画面で[Finish]をクリックします。これでプロジェクトは 完成です。

## ♦ ソースファイルの読み込み

既存の HDL ソースファイルをお持ちであれば、各ファイルをツールに読み込ませます。

(ソースファイル・テストベンチファイル・制約ファイル)

1. [Project] - [Add Source] 又は [Project] - [Add Copy of Source] を選択し、ファイルを読み込みます。



[One-Point]

ここでもファイルは、日本語のパスがないフォルダに保存して下さい。

[Add Source]の場合は、読み込むファイルにリンクした状態でウィンドウに追加されます。 変更内容が元のファイルに反映されます。

[Add Copy of Source]の場合は、読み込むファイルをプロジェクトのフォルダにコピーされ ますので、元のファイルとは別扱いになります。

2. 任意の保存先からファイルを読み込みます。(ソース/テストベンチ/制約の3種類のファイルがあります。) ファイル読み込み時には、ソースタイプを指定します。

下記でソースタイプの指定を行います。

The following allows you to see the status of the source files being added to the project. It also allows you to specify the Design View association, and for VHDL sources the library, for sources which are successfully added to the project.				
•	A http://dobourgoo.ubd			work
1	CDIO domo vhd	All	-	work
2	grio_demo.vnd	All	-	work 💌
5	Dins.ucr	Implementat		work 💌

読み込んだファイルを開く時は、ソースウィンドウで開きたいファイルをダブルクリックするとエディタウィンドウが開きます。
 この状態で、RTL ファイルの変更も可能です。

ISE Project Navigator (0.87xd) - C:¥Users¥006523¥Xilinx¥ATLYS¥ATLYS-testi	#ATLYS-test.xise - [GPI0_demo.vhd]
File Edit View Project Source Process Tools Window Layout	Help
][≦<&&&<<	
esien View:	<pre>20 and is referred to as such in the code comments below 21 22 All UART communication can be captured by attaching the UART port to a 23 computer running a Terminal program with 9600 Baud Rate, 8 data bits, no 24 parity, and 1 stop bit. 25</pre>
	<pre>32 library IEEE; 33 use IEEE.STD_LOGIC_1164.ALL; 34 35The IEEE.std_logic_unsigned contains definitions that allow 36std_logic_vector types to be used with the + operator to instantiate a 37counter. 38 use IEEE.std_logic_unsigned.all;</pre>
	<pre>39 40 entity GPIO_demo is 41 Port ( SW : in STD_LOGIC_VECTOR (7 downto 0); 42 BTN : in STD_LOGIC_VECTOR (4 downto 0); 43 CLK: in STD_LOGIC; 44 LED : out STD_LOGIC VECTOR (7 downto 0); 45 UNART_TXD : out STD_LOGIC); 46 end GPIO_demo; 47 48 architecture Behavioral of GPIO_demo is 7771µtが開く</pre>

[One-Point] この状態でプロジェクトファイルの作成は終了です。 RTL 記述の変更、文法チェック等を行い、ファンクションシミュレーションを行い、論理検証を 行います。 また、画面左上の Window には、本デザインの階層構造が示されております。 本デザインは、GPIO デモモジュールを TOP にして、下層に 3 個のモジュールを持つ構造に なっています。階層最後に表示されている pins.ucf ファイルは、FPGA に様々な制約を 加える制約ファイルになっております。

### ▶ ソースファイルの文法チェック

 文法チェック(Check Syntax)を行う前に、Simulation から Implementation ボタンにチェックがあることを確認して下さい。 チェックを行いたいソースファイルがトップソースの場合、プロセスウィンドウの [Synthesize-XST] - [Check Syntax] を ダブルクリックします。

チェックを行いたいソースファイルが下位階層の場合、ソースを選択し、[Check Syntax]をダブルクリックします。

📣 や 🧭 が表示されたら、文法チェック完了です。 📣が表示された場合必要に応じてソースファイルを修正して

下さい。エラーがある場合、 🤒が表示されますのでメッセージに従ってソースファイルを修正して下さい。







1. [Project] - [New Source] を選択します。

Project	Source P	rocess
📑 New	Source	
Add :	Source	
Add (	Copy of Sour	ce

VHDL Test Bench を選択し、File Name、Location を入力し、[Next]をクリックします。
 Project Navigator では、拡張子「.vhd」として認識されます。

Select Source Type Select source type, file name and its location. BMM File ChipScope Definition and Connection File ChipScope Definition and Connection File Implementation Constraints File File CORE Generator & Architecture Wizard) Schematic Schematic User Document Verilog Module Verilog Test Fixture VHDL Module	File name: Location: C:¥Users¥006523¥Xilinx¥ATLYS¥ATLYS-test
VHDL Library VHDL Package VHDL Test Bench	
Embedded Processor	Add to exciont

[One-Point]	
Location ですが、 デフォルト設定では、 Work ディレクトリが設定されております。	
Work ディレクトリ内は、様々なファイルが存在しますので、別ディレクトリを指定した方が	
その後のファイル管理が楽になります。	
	_

関連付けるソースファイルを選択し、[Next]をクリックします。
 本デザインでは、GPIO\_demo が TOP モジュールになります。

🚱 🍃 New Source Wizard	X
Associate Source	
Select a source with which to associate the new source.	
GPIO_demo	
UART_TX_CTRL	
More Info	ancel

4. 確認画面で設定内容を確認し、[Finish]をクリックします。

	23
🔊 🔔 New Source Wizard	
9 -	
Supersona	
Summary	
Project Navigator will create a new skeleton source with the following specifications.	
Add to Project: Yes	
Source Directory: C#Users#U0bb23#Xilinx#ATLYS#ATLYS=test	
Source Name: GPIO_test.vhd	
Association: GPIO demo	
More Into Finish C	ancel

Project Navigator のソースウィンドウにテストベンチファイルが追加され、また、エディタウィンドウにテストベンチの雛型が 表示されますので、これを元にテストベンチを完成させます。

ISE Project Navigator (0.87xd) - C:¥Users¥006523¥Xilinx¥ATLYS¥AT Ele Edit View Project Source Process Tools Window I	¥ATLYS-test.xise - [GPIO_test.vhd] Help	
□ <li>&gt; = #   </li> <li< th=""><th><u>&gt;</u> = = = <i>&gt; №</i> &gt; ≥ <i>⊀</i> &gt;</th><th></th></li<>	<u>&gt;</u> = = = <i>&gt; №</i> > ≥ <i>⊀</i> >	
Design → C A X View: @ ∰ Implementation @ ∰ Simulation Behavioral Hierarchy C ATLYS-test C ATL	22       This testbench has been automatically generated using typ         23       stal_logic_vector for the ports of the unit under test. X         24       that these types always be used for the top-level I/O of         25       to guarantee that the testbench will bind correctly to th         26       simulation model.         27	es std_logic and ilinx recommends a design in order e post-implementation 
No Processes Running	38 ARCHITECTURE behavior OF GPIO_test IS	
Image: Transmission of the second	<pre> Component Declaration for the Unit Under Test (UUT) 41 42 COMPONENT GPI0_demo 43 PORT( 44 SW : IN std_logic_vector(7 downto 0); 45 BTN : IN std_logic_vector(4 downto 0); 46 CLK : IN std_logic; 47 LED : OUT std_logic_vector(7 downto 0); 48 UART_TXD : OUT std_logic 49 ); 50 END COMPONENT; 51</pre>	



- ソースウィンドウでテストベンチ(GPIO\_test.vhd)のファイルを選択します。
   Implementation から Simulation にボタンチェックを変更します。
- プロセスウィンドウの[ISim Simulator] [Simulate Behavioral Model]を選択し、マウスの右クリックで 表示されるメニューの中の[Process Properties]を選択します。





3. Process Properties でシミュレーション実行のオプションを指定します。

Switch Name	Property Name		シミュレーション実行時間を設定
	Use Custom Simulation Command File	2	
	Custom Simulation Command File		今回は1000ns 6ms
	Run for Specified Time	<b>V</b>	
	Simulation Run Time	6ms	作はしたテフトペンチークやもも
	Waveform Database Filename	23¥Xilinx¥AT	
	Use Custom Waveform Configuration File		て時間の設定を行って下さい。
	Custom Waveform Configuration File		
	Specify Top Level Instance Names	work.GPIO_test	
	Load glbl	<b>V</b>	
	<b>D</b>		

オプションの設定が終了したら、プロセスウィンドウの[ISim Simulator] - [Simulate Behavioral Model]をダブルクリックします。

	No Processes Running	
۲,	Processes: GPIO_test - behavior	
1	ISim Simulator     ISim Simulator     Image: Constraint of the syntax	ダブルクリック
*	👷 🧱 Simulate Behavioral Model	

[One-Point]
自動的に ISim が立ち上がり、ソースファイルのコンパイル、 デザインのロードを行ない、
プロパティウィンドウで指定した時間でシミュレーションが実行されます。

4. 正しく動作しているか波形を確認します。



### ◆ ISim操作ガイド(補足)

詳細は、Xilinx 社が提供している ISim ユーザーガイドを参照して下さい。

1. ソースファイルの変更について

以下の手順に従いますと、ソースファイルを安全に変更出来ます。デザインの競合を回避するには、ISim 外で編集を 行って下さい。

- 1. ISE の ISE Text Editor 又はサードパーティのテキストエディタを用いて、ソースファイルを編集します。
- 2. ISE ツールでデザインを実行して、デザインをアップデートし、シミュレーションを実行します。
- 2. 信号の追加 と シミュレーションの再実行

信号の追加

「Instances and Processes」パネル」に Module が階層構造で表示されます。

追加したい Module を選択するとその Module の信号が「Object パネル」に表示されるので、追加したい信号を ドラッグ&ドロップで「波形ウィンドウ」に追加できます。

但し、これだけでは値は表示されませんのでのシミュレーションの再実行を行って下さい。

シミュレーションの再実行

下図のようにメインメニューの[Restart] アイコンをクリックします。シミュレーション実行時間を設定後に[Run]アイコンを クリックします。

